

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0063139
Application Number PATENT-2002-0063139

출원년월일 : 2002년 10월 16일
Date of Application OCT 16, 2002

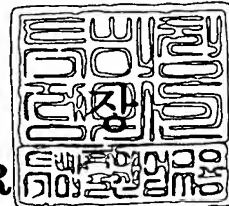
출원인 : 학교법인 포항공과대학교
Applicant(s) POSTECH FOUNDATION



2002 년 11 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 서지사항 보정서

【수신처】 특허청장

【제출일자】 2002. 10. 25

【제출인】

【명칭】 학교법인 포항공과대학교

【출원인코드】 2-1999-900096-8

【사건과의 관계】 출원인

【대리인】

【성명】 장성구

【대리인코드】 9-1998-000514-8

【포괄위임등록번호】 2000-016240-3

【사건의 표시】

【출원번호】 10-2002-0063139

【출원일자】 2002. 10. 16

【심사청구일자】 2002. 10. 16

【발명의 명칭】 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기

【제출원인】

【발송번호】 1-5-2002-0074515-13

【발송일자】 2002. 10. 22

【보정할 서류】 특허출원서

【보정할 사항】

【보정대상항목】 첨부서류

【보정방법】 제출

【보정내용】

【첨부서류】 1. 인가서_1통

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 장성구 (인)

【수수료】

【보정료】 0 원

【기타 수수료】 원

【합계】 0 원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002. 10. 16
【발명의 명칭】	룩어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기
【발명의 영문명칭】	LOOK AHEAD DECISION FEEDBACK EQUALIZING RECEIVER
【출원인】	
【명칭】	학교법인 포항공과대학교
【출원인코드】	2-1999-900096-8
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	2000-016240-3
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	2000-016243-5
【발명자】	
【성명의 국문표기】	박홍준
【성명의 영문표기】	PARK, Hong-June
【주민등록번호】	561011-1902227
【우편번호】	790-751
【주소】	경상북도 포항시 남구 지곡동 교수숙소 9동 802호
【국적】	KR
【발명자】	
【성명의 국문표기】	손영수
【성명의 영문표기】	SOHN, Young-Soo
【주민등록번호】	740214-1905915
【우편번호】	135-230
【주소】	서울특별시 강남구 일원동 689-2번지 현대아파트 23동 207호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

장성구 (인) 대리인

김원준 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

6 항 301,000 원

【합계】

330,000 원

【감면사유】

학교

【감면후 수수료】

165,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기에 관한 것으로, 입력데이터의 판정 결과로 나올 복수의 신호를 미리 입력받아 판정 결과 신호별로 외부입력데이터의 고주파 성분을 증폭하여 출력하는 이퀄라이징 블록과, 외부입력데이터에 동기된 외부입력클록을 인가 받아 샘플링 클록의 위치 조정값이 반영된 복수의 샘플링 클록을 출력하는 클록 합성기와, 샘플링 클록의 위상에 동기되어 판정 결과 신호별로 이퀄라이징 블록의 출력을 오버 샘플링하여 출력하는 오버 샘플러와, 피드백된 이전 입력데이터의 판정 결과 신호에 따라 오버 샘플러의 출력 신호 중에서 해당 판정 결과 신호의 데이터를 선택하여 출력하는 막스 블록과, 막스 블록의 출력 데이터에 의거하여 샘플링 클록의 위치 조정값을 판정하는 위상 판정기를 포함하고, 록어헤드 디시전 피드백 이퀄라이징 기법을 이용하여 고주파 성분의 감쇠를 보상하여 수신 신호의 시간 마진과 전압 마진을 증가시키는 작용의 고속 구현이 가능하며, 고주파 성분 감쇠를 보정한 결과 신호를 오버 샘플링하여 그 결과로 적절한 클록의 샘플 타이밍을 추출해 낸으로써 전송 채널의 고주파 신호 성분 감쇠를 극복하고, 클록과 데이터의 지연시간 차이를 극복하면서 고속 동작이 가능한 이점이 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

룩어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기{LOOK AHEAD DECISION
FEEDBACK EQUALIZING RECEIVER}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 송신단 이퀄라이징 기법의 개념도.

도 2는 종래 기술에 따른 수신단 이퀄라이징 기법 중 난-피드백(non-feedback) 기
법의 개념도.

도 3은 종래 기술에 따른 수신단 이퀄라이징 기법 중 디시전 피드백(decision
feedback) 기법의 개념도.

도 4는 종래 기술에 따른 오버 샘플링을 통한 클록과 데이터의 위치 비교 원리도.

도 5는 본 발명에 따른 수신기의 블록도.

도 6은 본 발명에 따른 이퀄라이징 블록과 오버 샘플러 및 막스 블록의 구성도.

도 7은 본 발명에 따른 이퀄라이징 앰프와 센스 앰프 D 플립플롭의 회로도.

도 8은 본 발명에 따른 막스 블록의 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 SDRAM과 컨트롤러간이나 칩과 칩 사이의 데이터 통신에 있어서 I/O 인터페이스에 관한 것으로, 룩어헤드 디시전 피드백 이퀄라이징(Look Ahead Decision Feedback Equalizing) 기법을 이용한 수신기에 관한 것이다.
- <10> DRAM과 CPU 사이의 통신이나 ASIC과 같은 디지털 칩에서 칩과 칩(chip-to-chip) 사이의 통신에 있어서 그 전송 속도는 계속 증가하고 있으며, 그 전송 속도를 제한하는 요인으로는 PLL/DLL의 타임 지터(time jitter), 전송 채널의 대역폭 제한에 의한 시간, 전압 마진의 감소, 그리고 샘플링 클록(sampling clock)과 입력신호간의 타임 스큐(time skew)로 인한 시간 마진의 감소가 있다.
- <11> 한편, 디지털 시스템에서 여러 개의 칩이 한 도선에 연결되는 버스(bus) 구조의 전송채널에서 발생하는 대역폭 제한을 극복하면서 고속 신호 전달이 가능하게 하기 위해서 신호의 고주파 성분을 송신단에서나 수신단에서 증폭하는 기법을 적용하고 있다.
- <12> 송신단에서 고주파 성분을 증폭하는 기법을 프리앰퍼시스라 부르며, 도 1과 같은 구조를 가진다. 송신단에서
- <13>
$$H(z)=1-\alpha \cdot z^{-1}$$
- <14> 의 동작이 구현되어 고역 통과 필터(High pass filter)기능을 수행하게 된다. 이 기법은 전류 신호방식의 시스템에서는 구현이 간단하나 DDR SDRAM에 사용되고 있는 SSTL

방식의 신호전송 방식에선 전압레벨이 저항 디바이더(divider)에 의해 결정되는 특성에 의해 구현이 어렵다.

<15> 수신단에서 고주파 성분을 증폭하는 기존의 기법으로는 도 2와 같은 구조와 도 3과 같은 구조가 있다. 도 2의 구조는 수신단에서 고주파를 증폭하기 위해

<16>
$$H(z) = 1 - a \cdot z^{-1}$$

<17> 의 동작이 구현되어 있으며 이를 위해선 아날로그 신호를 저장할 수 있는 캐패시터 소자가 필요하게 된다. 신호가 아날로그로 저장되어야 하므로 잡음(noise)에 민감(sensitive)하고 구현이 복잡한 단점이 있다.

<18> 도 3의 구조는 수신단에서 고주파를 증폭하기 위해

<19>
$$Y(n) = x(n) - a \cdot \hat{y}(n-1)$$

<20> 의 동작이 구현되어 있다. 이를 디시전 피드백 이퀄라이징(decision feedback equalization, DFE) 기법이라 한다. 이 기법은 이전 신호를 받아 H(high)인지 L(low)인지를 판단한 후 그 결과를 한 신호주기만큼 지연시간을 준 뒤 피드백 시켜 현재 입력의 고주파 성분을 증폭하는 동작을 한다. 이 구조는 구현이 간단하고 디지털 신호를 사용하여 잡음에 둔감한 장점이 있는 반면 피드백 패스(feedback path)의 지연시간 때문에 고속 동작에 적합하지 않은 단점이 있다.

<21> 또한, 전송 채널의 소요시간의 차이로 인해 클럭과 전송신호 사이, 그리고 전송신호와 전송신호 사이에서 시간차이가 존재하게 된다. 이는 신호의 고속 전송에 제약조건으로 동작하게 되며, 이를 해결하기 위해 입력신호에서 샘플링클럭의 적절한 위상을 추

출하는 기법들이 사용되고 있다. 그 중 도 4의 X2 오버 샘플링기법은 한 두 신호주기에
서 신호를 3번 샘플링하여 그 정보로 샘플링 클록의 적절한 위상을 추출한다.

- <22> 이 오버 샘플링을 통한 적절한 클록위치 조정 방법을 사용하기 위해서는 데이터의
신호가 시간적으로 감쇠가 적은 신호가 사용되어야 되는데, 채널의 고주파 성분 감쇠가
심한 경우에는 데이터의 시간에서의 불확정 영역이 커지며, 이에 추출되는 클록의 위치
도 타임 지터(time jitter)가 증가하게 된다. 이에 전송 채널에 고주파 성분 감쇠가 심
한 경우는 X2 오버 샘플링 기법을 사용하는데 문제가 발생한다.
- <23> 전술한 바와 같이 디지털 시스템에서의 신호 전송은 다음과 같은 문제점을 가진다.
- <24> 첫째, 디지털 시스템에서의 고속 신호 전송에서 채널의 고주파 감쇠로 인하여 고주
파 신호 감쇠 문제가 생긴다. 이는 신호간의 간섭을 유발하고 입력 신호의 시간 마진과
전압 마진을 감소시킨다. 이에 고속으로 데이터를 전송하는데 제약을 받는다.
- <25> 둘째, 상기 고주파 신호 감쇠 문제를 해결하기 위해서 기존에는 송신단 이퀄라이징
기법을 사용하거나 수신단 이퀄라이징 기법으로 고주파 신호 감쇠 성분을 보상하고 있으
나, 송신단에서 전압이 폴스윙을 하는 일반적인 DRAM이나 ASIC의 경우 송신단 이퀄라이
징 기법을 적용할 수 없고, 수신단 이퀄라이징 기법은 잡음에 약하거나 동작속도가 느린
단점이 있다.
- <26> 셋째, 클록과 데이터가 함께 송신단에서 수신단으로 전송되는 경우 전송 채널 사이
에 지연 시간의 차이로 인해 스큐가 발생한다. 이는 데이터의 시간 마진을 감소시키게
된다.

<27> 넷째, 상기 스큐 발생에 따른 문제점을 해결하기 위해 오버 샘플링 기법을 통하여 적절한 클록 위치 찾는 방법이 사용되고 있으나, 신호 감쇠에 의해 시간 불확정 영역이 큰 경우에는 적용에 문제점이 생긴다.

【발명이 이루고자 하는 기술적 과제】

<28> 본 발명은 이와 같은 종래의 문제점을 해결하기 위하여 제안한 것으로, 록어헤드 디시전 피드백 수신단 이퀄라이징 기법을 적용하여 고주파 성분 감쇠를 보상한 결과 신호를 오버 샘플링하여 클록과 데이터신호 사이의 스큐를 보상하여 고속 신호 전송을 가능하도록 하는 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기를 제공하는 데 그 목적이 있다.

<29> 이와 같은 목적을 실현하기 위한 본 발명에 따른 디시전 피드백 이퀄라이징 수신기는, 입력데이터의 판정 결과로 나올 복수의 신호를 미리 입력받아 상기 판정 결과 신호별로 외부입력데이터의 고주파 성분을 증폭하여 출력하는 이퀄라이징 블록과, 상기 외부입력데이터에 동기된 외부입력클록을 인가 받아 샘플링 클록의 위치 조정값이 반영된 복수의 샘플링 클록을 출력하는 클록 합성기와, 상기 샘플링 클록의 위상에 동기되어 상기 판정 결과 신호별로 상기 이퀄라이징 블록의 출력을 오버 샘플링하여 출력하는 오버 샘플러와, 피드백된 이전 입력데이터의 판정 결과 신호에 따라 상기 오버 샘플러의 출력 신호 중에서 해당 판정 결과 신호의 데이터를 선택하여 출력하는 막스 블록과, 상기 막스 블록의 출력 데이터에 의거하여 상기 샘플링 클록의 위치 조정값을 판정하는 위상 판정기를 포함한다.

【발명의 구성 및 작용】

- <30> 본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.
- <31> 도 5는 본 발명에 따른 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 CMOS 수신기의 블록 구성도로서, 외부에서 고주파 성분이 감쇠된 데이터 신호와 그에 동기된 클럭신호가 들어오고 있다. 여기서 DDR(double data rate) 기법이 적용되어 신호가 1Gbps라 가정하면 클럭은 500MHz가 들어오게 된다.
- <32> 입력신호는 이퀄라이징 블록(110)을 거치며 그 결과는 오버 샘플러(120)에 의해 클럭 합성기(130)의 0도, 90도, 180도 위상(그림 4참고, 그림 5의 clk0, clk90, clk180)에서 샘플링된다. 오버 샘플러(120)의 출력은 막스(MUX) 블록(140)에 인가되며 막스 블록(140)에서는 적절한 데이터를 선택하게 된다. 그 데이터를 위상 판정기(150)에서 디코딩하여 클럭 합성기(130)의 출력 클럭의 위상을 증가시킬지 감소시킬지 결정하게 된다. 이 과정이 반복되어 입력신호에 적절한 샘플링 클럭을 합성하게 되어 입력신호를 동기시켜 받아드리게 된다.
- <33> 입력신호에서 고주파 성분을 증폭하기 종래에는 입력신호에 대한 판정이 완료된 후 그 결과를 입력 버퍼(도 7의 이퀄라이징 앰프)에 다시 보내 고주파를 증폭하는 기법으로 신호에 대한 판정이 한 신호주기보다 빨리 이루어져야 되는 단점이 있었다. 이에 본 발명에서는 록어헤드 디시전 피드백 이퀄라이징 기법을 채용하였다.

<34> 도 6은 본 발명에 따른 이퀄라이징 블록과 오버 샘플러 및 막스 블록의 구현 회로도로서, 도 6의 이퀄라이징 앰프(111~114)와 센스(Sense) 앰프 D 플립플롭(121~128)은 도 7에 그 회로도들을 나타내었고, 막스 이븐(MUX even)(141)과 막스 오드(MUX odd)(142)는 도 8a와 도 8b에 그 구성을 나타내었다.

<35> 본 발명에서는 디시전 피드백 이퀄라이징 기법의 속도를 향상시키기 위해 판정 결과 신호를 피드백 시키지 않고 도 6과 같이 미리 판정 결과로 나올 두 가지 경우인 하이(High)와 로우(Low)를 이퀄라이징 앰프(111~114)의 ein 입력단자에 연결시킨다.

<36> 이퀄라이징 앰프(111~114) 출력은 센스 앰프 D 플립플롭(121~128))을 사용하여 이븐 브랜치(even branch)에서는 0도, 90도에서 샘플링하여 판정되고, 오드 브랜치(odd branch)에서는 90도, 180도에서 샘플링하여 판정한다. 한 신호주기에 두 번의 샘플링이 이루어지므로 X2 오버 샘플링이 이루어지게 된다. 그 판정 결과 중 0도에서 판정된 결과는 H0, L0신호이며, 90도에서 판정된 신호는 H90_1, L90_1, H90_2, L90_2신호이고, 180도에서 판정된 신호는 H180, L180신호이다. 신호의 앞 글자 H, L은 이퀄라이징 앰프(111~114)의 ein입력단자에 하이(High)가 연결된 경우와 로우(Low)가 연결된 경우의 출력을 의미한다. 이 8개의 오버 샘플러(120)의 출력 신호들은 막스 블록(140)에서 4개가 선택되어 실제 입력 데이터로 이용된다.

<37> 막스 이븐(141)에서는 막스 오드(142)의 출력 신호 중 o180의 신호에 의해 선택 동작을 결정하는데, o180의 신호가 하이(High)인 경우 H0, H90_1을 선택하고, 로우(Low)인 경우 L0, L90_1을 선택하게 된다. 막스 오드(142)에서는 막스 이븐(141)의 출력 신호 중 o0의 신호에 의해 선택 동작을 결정하는데, o0이 하이인 경우 H90_2, H180신호가 선택되어 출력으로 나가게 되고, 로우인 경우 L90_2, L180신호가 선택되어 출력으로 나가

게 된다. 막스 블록(140)의 출력 o0, o90_1, o90_2, o180은 위상 판정기(150)의 입력으로 사용되며, o0, o180은 입력데이터의 판정 결과이다.

<38> 막스 이븐(141)과 막스 오드(142)의 내부 구조는 도 8a와 도 8b에 나타낸 바와 같다. 막스 이븐(141)의 경우 셀렉트(select)입력에 따라 셀렉트가 H인 경우에 막스(141a)는 H0, L0 중에 H0을 선택하고 막스(141b)는 H90과 L90 중 H90을 선택하며, 셀렉트가 L인 경우에 막스(141a)는 L0을 선택하고 막스(141b)는 L90을 선택한다. 그 선택결과는 clk0에 동기된 D 플립플롭(141c, 141d)에 의해 샘플링된 후 출력으로 사용된다.

<39> 막스 오드(142)의 경우 H90과 L90은 먼저 clk0에 동기된 D 플립플롭(142a, 142b)으로 샘플링된 후 막스(142c)로 인가되며, H180, L180신호는 바로 막스(142d)에 연결된다. 막스(142c, 142d)에서 셀렉트신호가 H일 경우에는 H180, H90이 선택되고, L일 경우에는 L180, L90이 선택되며, 이 결과는 clk180에 동기된 D 플립플롭(142e, 142f)에 의해 샘플링된 후 출력으로 사용된다.

<40> 막스 블록(140)의 출력신호 o1, o90_1, o90_2, o180신호는 위상 판정기(150)로 입력되며, 위상 판정기(150)는 아래의 표 1에 의거한 판정 결과에 따라 업(up), 다운(down)신호를 출력하게 되며, 이 신호는 클록 합성기(130)에 인가되어 클록의 지연(delay)을 조정한다.

<41> 상기와 같은 동작이 반복되어 도 5의 회로는 외부 입력 데이터에 적절한 샘플링 클록을 찾게 되어 고속의 이퀄라이징 수신작업을 하게 된다.

<42>

【표 1】

o1, o90_1, o90_2, o180	판정
1100	고정
0011	(지연 고정)
1110	업
0001	(지연 증가)
1000	다운
0111	(지연 감소)

<43> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다.

<44> 일례로, 도 6에 나타낸 이퀄라이징 블록의 구성에서는 이븐 브랜치(Even branch)와 오드 브랜치(Odd branch)로 나누고, 각각 브랜치를 판정 결과 신호(하이, 로우)별로 분기를 시켜 복수의 이퀄라이징 앰프(111~114)로 구성하였으나, 이는 전단의 노이즈 등을 감안하여 분리시킨 것으로서 이퀄라이징 앰프(111)와 이퀄라이징 앰프(113)의 출력 신호가 동일하고 이퀄라이징 앰프(112)와 이퀄라이징 앰프(114)의 출력 신호가 동일한 것을 알 수 있다.

<45> 따라서, 이퀄라이징 앰프(111)와 이퀄라이징 앰프(112)만을 배치하거나 이퀄라이징 앰프(113)와 이퀄라이징 앰프(114)만을 배치한 후 이퀄라이징 앰프(111 또는 113)의 출력단을 이븐 브랜치 오버 샘플러(121, 122)와 오드 브랜치 오버 샘플러(125, 126)의 입력단에 각각 연결하고, 이퀄라이징 앰프(112 또는 114)의 출력단을 이븐 브랜치 오버 샘플러(123, 124)와 오드 브랜치 오버 샘플러(127, 128)의 입력단에 각각 연결하는 등가 회로로 구현할 수도 있다.

<46> 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다
고 하여야 할 것이다.

【발명의 효과】

<47> 전술한 바와 같이 본 발명의 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한
CMOS 수신기는 다음과 같은 효과가 있다.

<48> 첫째, 록어헤드 디시전 피드백 이퀄라이징 기법을 이용하여 고주파 성분의 감쇠를
보상하여 수신 신호의 시간 마진과 전압 마진을 증가시키는 작용의 고속 구현이 가능하
다.

<49> 둘째, 고주파 성분 감쇠를 보상한 결과 신호를 오버 샘플링하여 그 결과로 적절한
클록의 샘플 타이밍을 추출해 냄으로써 전송 채널의 고주파 신호 성분 감쇠를 극복하고,
클록과 데이터의 지연시간 차이를 극복하면서 고속 동작이 가능한 효과가 있다.

【특허청구범위】**【청구항 1】**

입력데이터의 판정 결과로 나올 복수의 신호를 미리 입력받아 상기 판정 결과 신호별로 외부입력데이터의 고주파 성분을 증폭하여 출력하는 이퀄라이징 블록과,

상기 외부입력데이터에 동기된 외부입력클록을 인가 받아 샘플링 클록의 위치 조정값이 반영된 복수의 샘플링 클록을 출력하는 클록 합성기와,

상기 샘플링 클록의 위상에 동기되어 상기 판정 결과 신호별로 상기 이퀄라이징 블록의 출력을 오버 샘플링하여 출력하는 오버 샘플러와,

피드백된 이전 입력데이터의 판정 결과 신호에 따라 상기 오버 샘플러의 출력 신호 중에서 해당 판정 결과 신호의 데이터를 선택하여 출력하는 막스(MUX) 블록과,

상기 막스 블록의 출력 데이터에 의거하여 상기 샘플링 클록의 위치 조정값을 판정하는 위상 판정기를 포함하는 룩어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기.

【청구항 2】

제 1 항에 있어서,

상기 이퀄라이징 블록은 상기 판정 결과 신호별로 분기를 시킨 복수의 이퀄라이징 앰프로 이루어지며, 상기 오버 샘플러는 상기 이퀄라이징 앰프의 출력을 각각 입력받는 이븐 브랜치(Even branch)와 오드 브랜치(Odd branch)로 이루어진 것을 특징으로 한 룩어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기.

【청구항 3】

제 1 항에 있어서,

상기 이퀄라이징 블록은 상기 입력데이터의 판정 결과로 나올 복수의 신호를 각각 입력받는 이븐 브랜치(Even branch)와 오드 브랜치(Odd branch)로 이루어지고, 상기 각각 브랜치는 상기 판정 결과 신호별로 분기를 시킨 복수의 이퀄라이징 앰프로 이루어지며, 상기 오버 샘플러는 상기 이븐 브랜치 이퀄라이징 앰프의 출력을 입력받는 이븐 브랜치 오버 샘플러와 상기 오드 브랜치 이퀄라이징 앰프의 출력을 입력받는 오드 브랜치 오버 샘플러로 이루어진 것을 특징으로 한 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기.

【청구항 4】

제 2 항 또는 제 3 항에 있어서,

상기 이븐 브랜치 오버 샘플러는 상기 이퀄라이징 앰프의 출력을 상기 샘플링 클록 중 0도, 90도 위상에 동기되어 X2 오버 샘플링을 행하며, 상기 오드 브랜치 오버 샘플러는 상기 이퀄라이징 앰프의 출력을 상기 샘플링 클록 중 90도, 180도 위상에 동기되어 X2 오버 샘플링을 행하는 것을 특징으로 한 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기.

【청구항 5】

제 4 항에 있어서,

상기 막스 블록은 상기 이븐 브랜치 오버 샘플러의 출력을 입력받는 막스 이븐과 상기 오드 브랜치 오버 샘플러의 출력을 입력받는 막스 오드로 이루어지며,

상기 막스 이븐은 상기 막스 오드의 입력데이터 판정 결과 신호를 셀렉트 신호로 입력받아 상기 이븐 브랜치 오버 샘플러의 출력 중에서 해당 판정 결과 신호를 선택하여 출력하고, 상기 막스 오드는 상기 막스 이븐의 입력데이터 판정 결과 신호를 셀렉트 신호로 입력받아 상기 오드 브랜치 오버 샘플러의 출력 중에서 해당 판정 결과 신호를 선택하여 출력하는 것을 특징으로 한 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기.

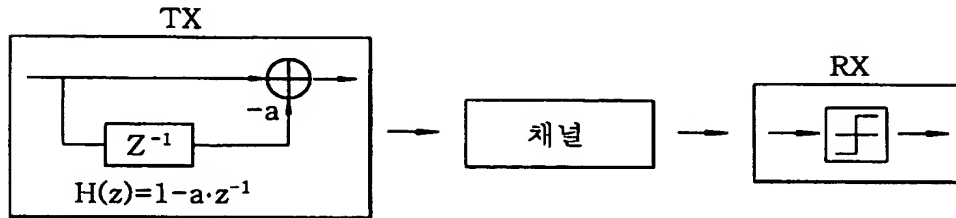
【청구항 6】

제 5 항에 있어서,

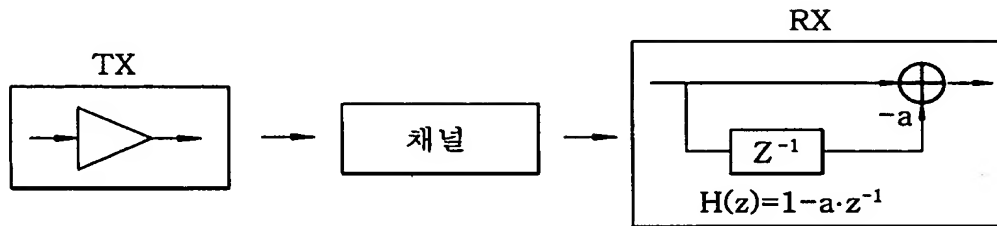
상기 위상 판정기는 상기 막스 이븐과 막스 오드의 출력 데이터에 의거하여 상기 위치 조정값을 지연 고정, 지연 증가, 지연 감소 중 어느 하나로 출력하는 것을 특징으로 한 록어헤드 디시전 피드백 이퀄라이징 기법을 이용한 수신기.

【도면】

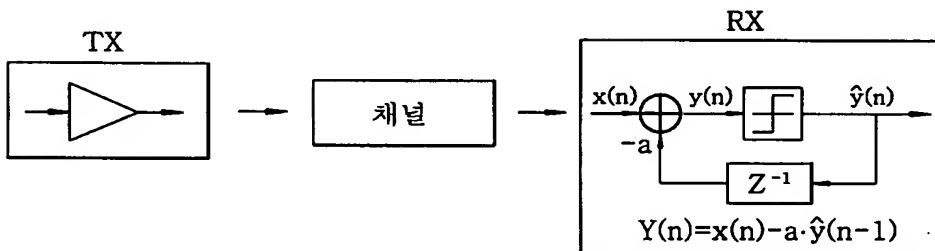
【도 1】



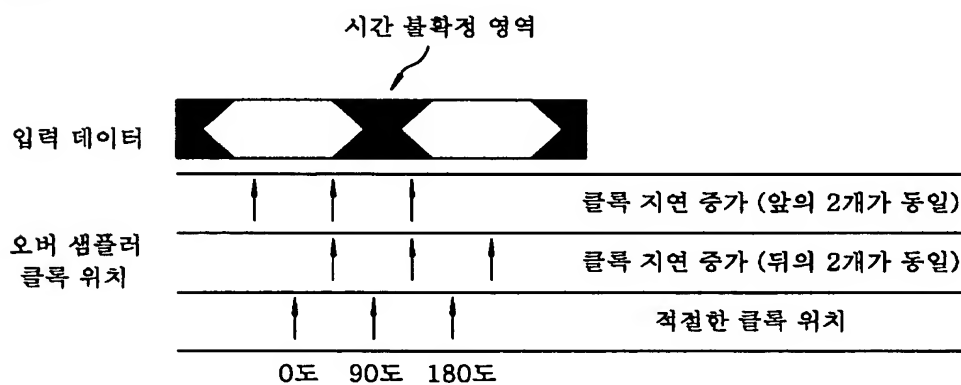
【도 2】



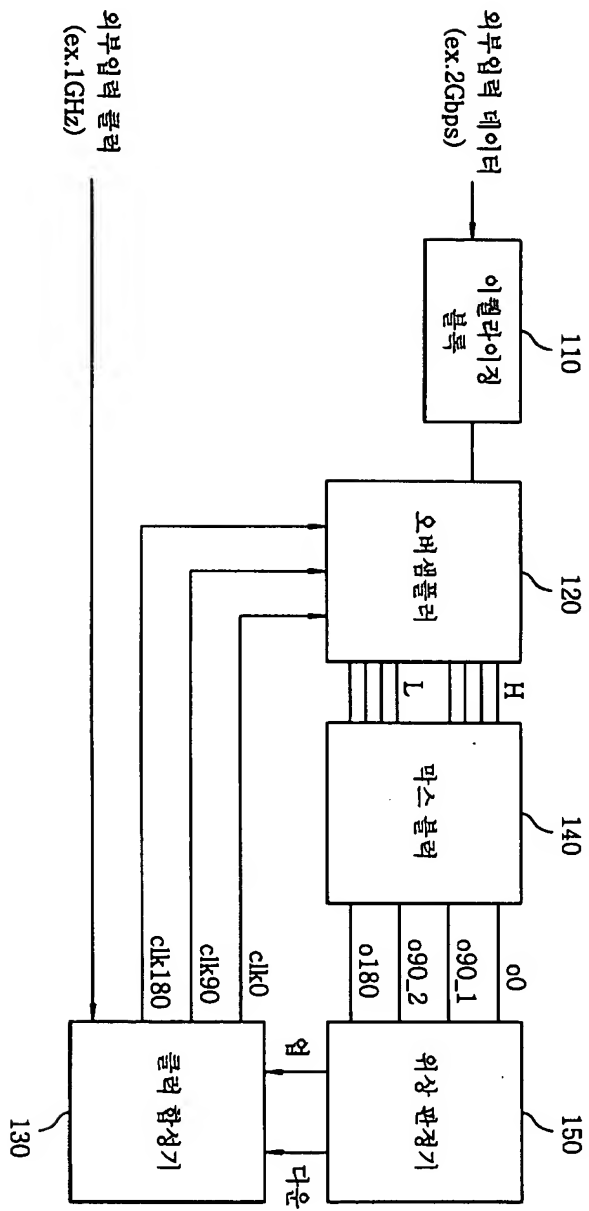
【도 3】



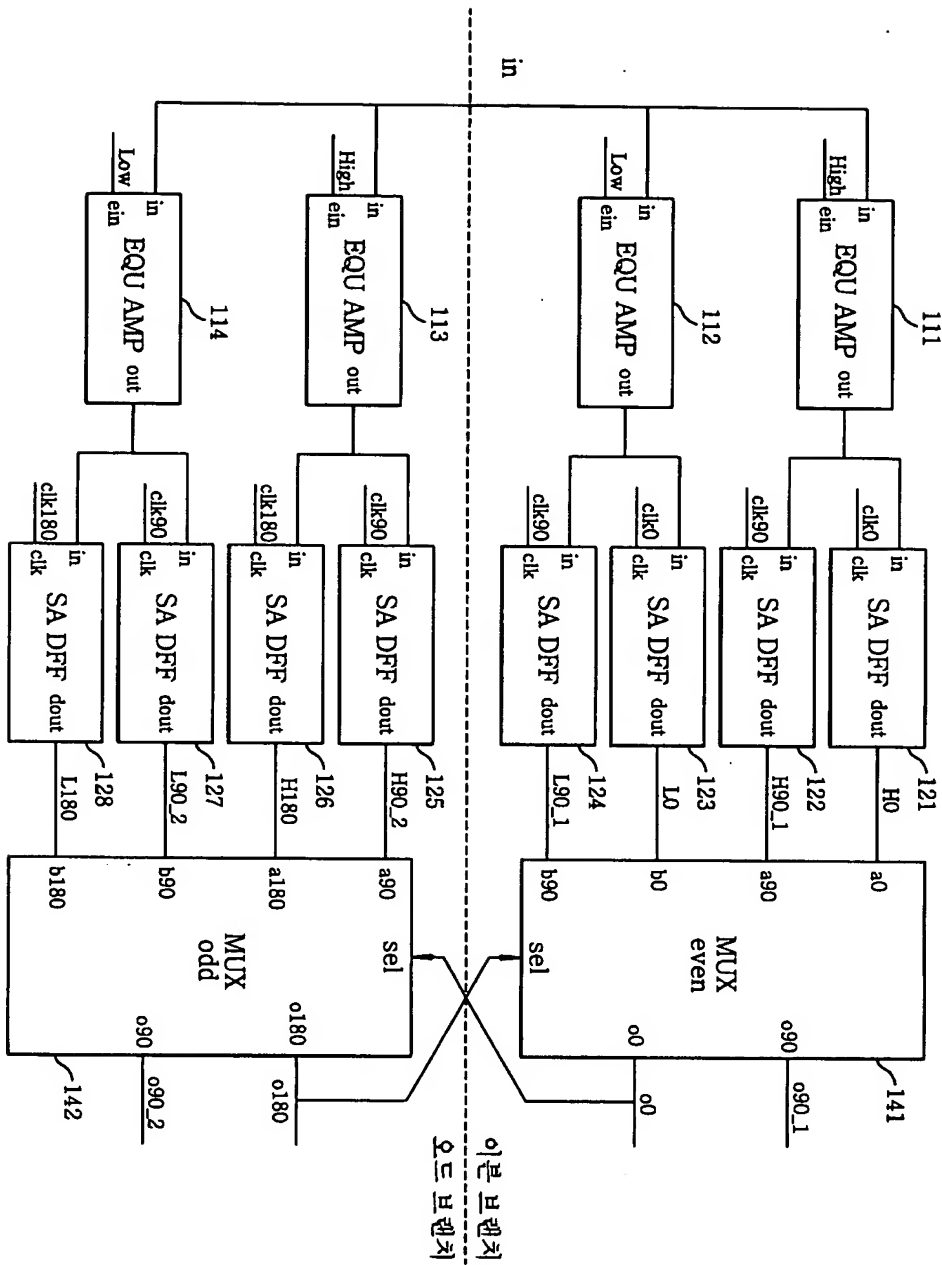
【도 4】



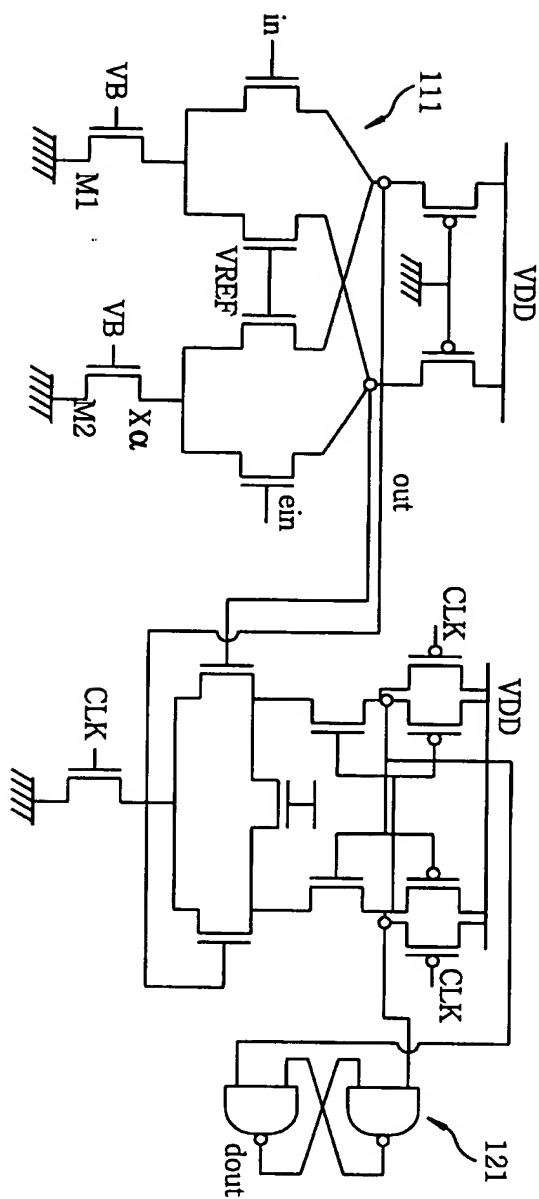
【도 5】



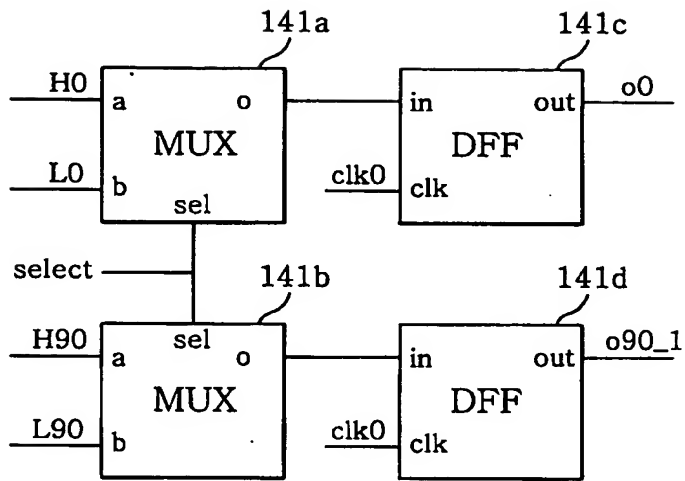
【도 6】



【도 7】



【도 8a】



【도 8b】

